

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.
H01L 23/50

(45) 공고일자 1999년09월01일
(11) 등록번호 10-0220154
(24) 등록일자 1999년06월18일
(65) 공개번호 특1997-0072358
(43) 공개일자 1997년11월07일

(21) 출원번호 10-1996-0009774
(22) 출원일자 1996년04월01일
(73) 특허권자 이남민도체주식회사, 김규현

(72) 발명자

서종복발명사 영동구 성수동 2가 280-8
허영복
대한민국

(74) 대리인

영기도 영남시 중앙구 수내동 55 롯데아파트 132-1504
대한민국

(77) 심사청구

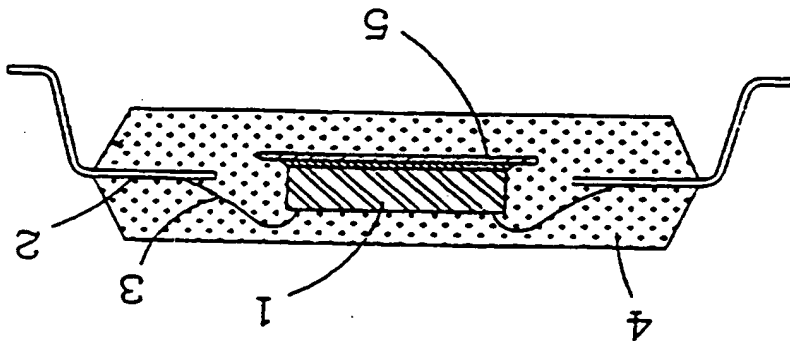
심사관: 양희용
서양규

(54) 출원명 반도체 패키지의 제조방법

요약

본 발명은 반도체 패키지의 제조방법 및 구조에 관한 것으로, 반도체의 저면용 외부로 노출시켜 회로동작시 발생하는 열의 효과를 극대화 하여 패키지의 수명을 연장시키고, 신뢰성을 향상 시키는 물질, 패키지의 통영부 외측에 위치하는 리드는 정단하고, 통영부 내측에 위치하는 리드는 그 저면을 외부로 노출시켜 미더보드에 부착시 리드의 저면에서 산화전달을 하도록 함으로서 산화면적을 최소화 할 수 있는 반도체 패키지이다.

대표도



영세서

[발명의 명칭]

반도체 패키지의 제조방법

[도면의 간단한 설명]

제 1 도는 일반적인 반도체 패키지의 구조를 보인 단면도

제 2 도는 본 발명에 적용되는 리드프레임용 도사한 평면도

제 3a 도 내지 제 3e 도는 본 발명의 제조 공정도

제 4a 도 내지 제 4d 도는 본 발명의 실시예에 의한 제조 공정도

제 5 도는 본 발명에 의한 반도체 패키지의 저면도

제 6 도는 본 발명의 리드를 도사한 평면도

• 도면의 주요부분에 대한 부호의 설명

10 : 반도체

21 : 리드

41 : 액상용접재

42 : 용접온도

영구형 2. 제 1항에 있어서, 상기 제 1항에 있는 단계를 수행하는 단계 후에만 전도도 제 1 및 제 2의 차를 측정하는 단계로서, 이 경우 전도도 제 1 및 제 2의 차를 측정하는 단계가 전도도 제 1 및 제 2의 차를 측정하는 단계에 의해 이루어진 것을 특징으로 하는 반도체 장치의 제조 방법.

[illegible][illegible][illegible]

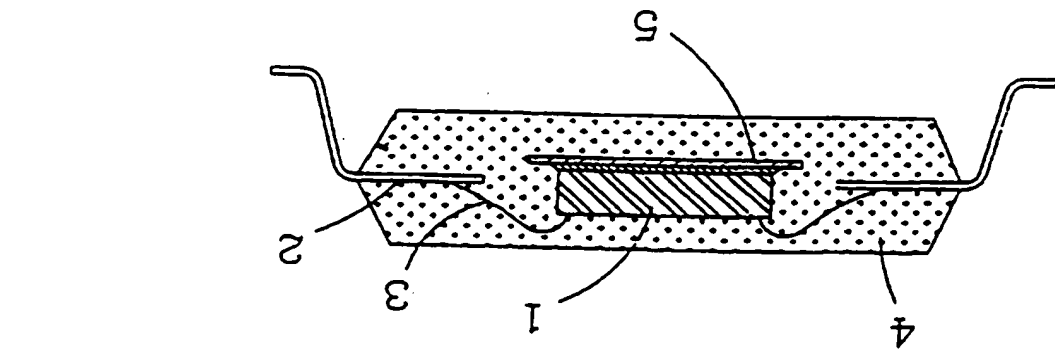


FIG. 1

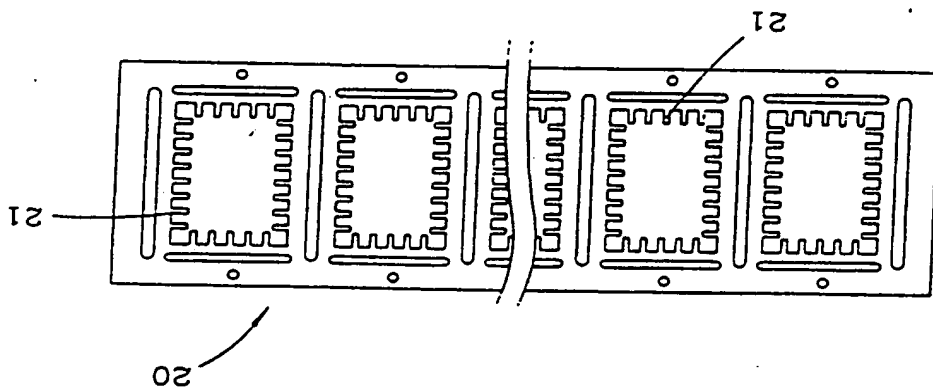


FIG. 2

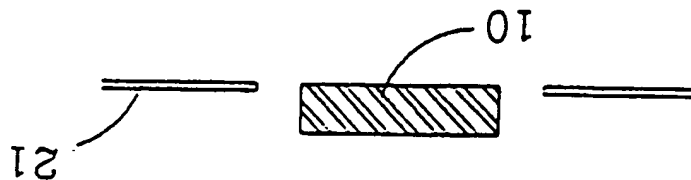


FIG. 3a

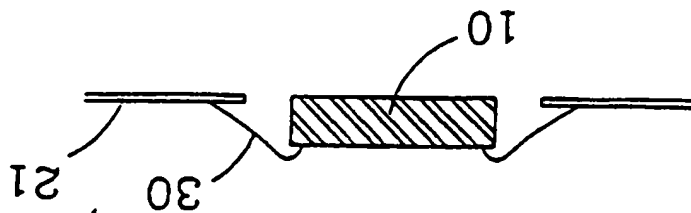


FIG. 3b

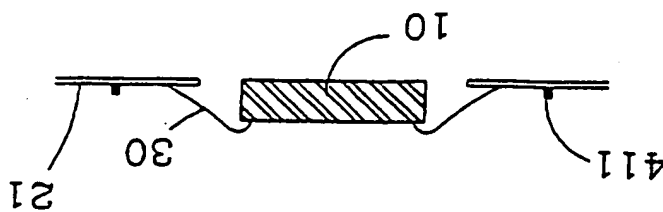


FIG. 3c

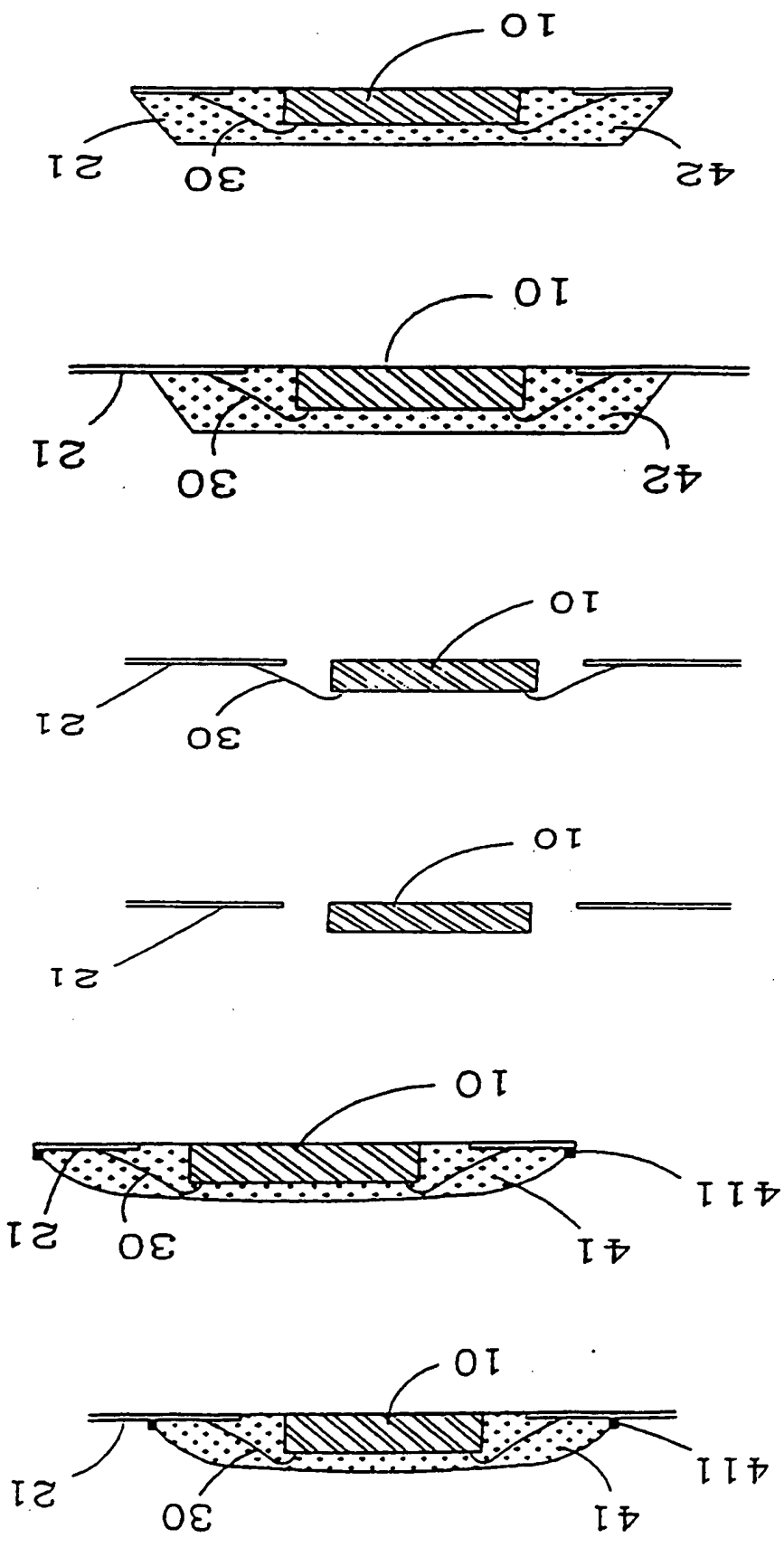


図 4d

図 4c

図 4b

図 4a

図 3b

図 3a

FIG 5

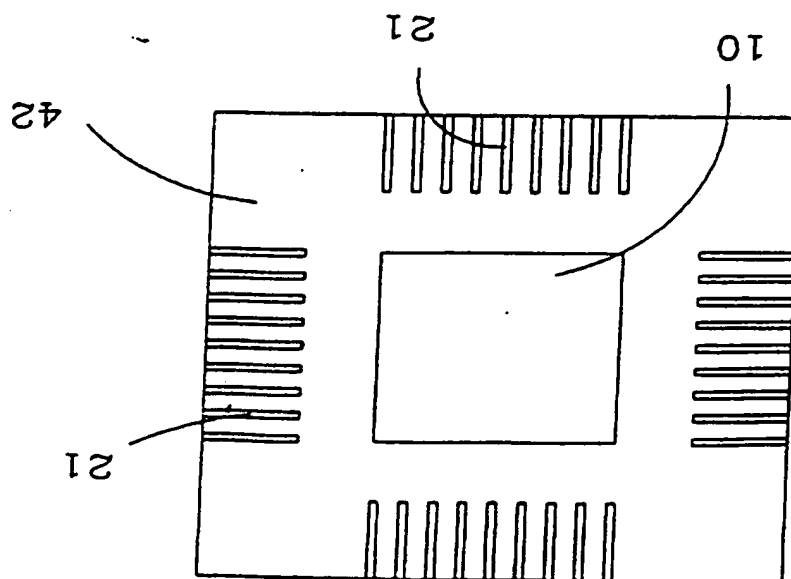


FIG 6

